

ЛАРЧЕНКО Л. В., канд. техн. наук, доцент, доцент кафедри автоматизації проектування обчислювальної техніки, Харківський національний університет радіоелектроніки,

РОЖНОВА Т. Г. канд. техн. наук, доцент, доцент кафедри автоматизації проектування обчислювальної техніки, Харківський національний університет радіоелектроніки,

ЛАРЧЕНКО Б. Д., канд. техн. наук, асистент кафедри автоматизації проектування обчислювальної техніки, Харківський національний університет радіоелектроніки,

ПАХОМОВ Ю. В. канд. техн. наук, доцент кафедри комп'ютерних наук та інформаційних технологій, Харківський Національний університет міського господарства



Моделі проектування online-обчислювача дробово-іраціональних функцій із бітовим потоком даних

Анотація: У роботі запропоновано удосконалену математичну модель біт-потокowego online-обчислювача дробово-іраціональних функцій із мінімізацією похибки обчислень, яку подано як декомпозицію математичних моделей обчислювачів біт-потокowych степеневих і лінійних функцій, що дало змогу розширити функціональні можливості пристрою; узагальнену архітектуру дробово-іраціонального обчислювача; автоматну модель пристрою, яку створено на основі кінцевого автомата; розроблено графові моделі, що забезпечують чіткість і несуперечність алгоритму обчислення дробово-іраціональної функції. Досліджуваний обчислювач є ефективним із точки зору точності обчислення, простоти технічної реалізації та універсальності архітектури.

Ключові слова: функціональне перетворення, бітовий потік даних, біт-потоккові обчислення, математична модель, апроксимація, абсолютна похибка обчислень, автоматна модель, граф переходів, граф-схема алгоритму.

Вступ

Область дослідження. Моделі та методи проектування потокowych online-обчислювачів елементарних математичних функцій із бітовим (імпульсним) потоком даних.

Аналіз наявних рішень

У наш час збільшується кількість систем реального часу, зокрема сенсорні системи, системи управління, контролю та вимірювань, у яких

упроваджено нову тенденцію периферійних обчислень, що передбачає переміщення оброблення даних максимально близько до сенсорних компонентів [1]. Для вирішення такого завдання необхідно створення компонентів і пристроїв, що орієнтовані на потокову обробку інформаційних сигналів, у тому числі і біт-потокowych, які виконують функціональне перетворення частотних і час-імпульсних сигналів, отриманих від сенсорів фізичних величин. Тому дослідження, мета якого полягає в розробленні моделей і методів проектування апаратних online-обчислювачів

© ЛАРЧЕНКО Л. В., РОЖНОВА Т. Г., ЛАРЧЕНКО Б. Д., ПАХОМОВ Ю. В., 2025

елементарних математичних функцій із біт-поточною формою даних, які могли б відтворювати ширший спектр елементарних математичних функцій єдиним способом і використовувати для їх реалізації уніфіковані компоненти для синтезу архітектур, що забезпечує при цьому виконання заданих вимог за точністю і часом обчислення апроксимуючих функцій, є актуальним і практично важливим.

Біт-поточкова форма даних являє собою імпульсні потоки з одиничною амплітудою, інформативним параметром у біт-поточковому кодуванні є фіксоване значення імпульсів за часовий інтервал [2].

Питання аналізу методів і засобів відтворення математичних функцій за допомогою пристроїв функціонального перетворення виникає у зв'язку з широким вибором таких пристроїв і різноманітністю вирішуваних ними завдань, їхньою специфікою і технічними вимогами. При цьому для будь-якого методу може бути вибрано раціональні засоби його реалізації.

У роботі [3] обґрунтовано актуальність розроблення функціональних перетворювачів для виконання присенсорних обчислень у сенсорних системах, розглянуто алгоритми потокової обробки, що виконують лінеаризацію сигналів у формі імпульсного потоку або широтно-модульованого сигналу, запропоновано пристрій обробки результатів вимірювань, у якому функціональне перетворення здійснюється в режимі відстеження.

У роботі [4] запропоновано структуру перетворювача параметрів частотних сигналів у цифровий код на основі радіальної нейронної мережі. Запропоновано декомпозицію перетворювача на дві складові, у якій друга складова є радіальною базовою мережею.

У роботах [5, 6] досліджено архітектури, що побудовані на основі алгоритму CORDIC, розглянуто принципи проєктування та реалізації тригонометричних і логарифмічних функцій на платформах FPGA і ASIC. У роботі [7] розглянуто алгоритм поділу на основі операції оберненої дії та множення, де операція оберненої дії базована на алгоритмі Ньютона-Рафсона, за якого початкове значення забезпечено кусково-поліноміальною апроксимацією.

У роботі [8] розглянуто поточковий степеневий обчислювач, архітектура якого містить конвеєрні структури для підвищення його швидкодії. У роботі [9] розглянуто апаратний поточковий обчислювач дробово-раціональних функцій, математичну модель якого розроблено алгоритмічним шляхом на підставі різницевих нерівностей. У статті [10] запропоновано математичну модель поточкового обчислювача ірраціональних функцій, що включає математичні

моделі обчислювачів дробово-раціональної функції та функції вилучення кореня.

Мета дослідження

Метою дослідження є розроблення математичних, архітектурних і автоматних моделей проєктування апаратних online-обчислювачів дробово-ірраціональних функцій із біт-поточною формою даних для підвищення точності обчислень і швидкодії пристрою за рахунок застосування методу формування приростів висхідних ступінчастих функцій, швидкодіючих конвеєрних структур і графових моделей, що забезпечують чіткість алгоритму обчислень і керування обчислювальними станами пристрою.

Постановка задачі

Об'єкт дослідження – процеси проєктування спеціалізованих апаратних біт-поточкових online-обчислювачів дробово-ірраціональних функцій. Предмет дослідження – математичні та автоматні моделі апаратних online-обчислювачів елементарних математичних функцій із біт-поточною формою даних.

Завданням дослідження є розроблення удосконаленої математичної моделі біт-поточкового online-обчислювача дробово-ірраціональних функцій із використанням методу формування приростів висхідних ступінчастих функцій на основі обернених функцій із мінізацією похибки обчислень; створення узагальненої архітектури дробово-ірраціонального обчислювача з використанням швидкодіючих конвеєрних структур на основі математичної моделі пристрою; розроблення автоматної моделі функціонального пристрою на основі кінцевого автомата шляхом створення графових моделей реалізації дробово-ірраціональної функцій, із використанням яких може бути здійснено автоматизований синтез архітектурної моделі з використанням мов опису апаратури.

Основний матеріал

Створюючи поточкові online-обчислювачі, основну увагу спрямовують на підвищення точності та пришвидшення обчислень елементарних математичних функцій. Будуючи нелінійні поточкові online-обчислювачі для відтворення елементарних функцій, використовують наближені та принципово-точні методи. Основним критерієм, що визначає ефективність апроксимації для обчислювальних задач, є похибка апроксимації відтворюваної функції. Одним із принципово точних методів є метод визначення алгебраїчних рівнянь на основі оберненої функції, що є основою математичних моделей пристроїв, розглянутих у цій роботі.

У роботі [11] розглянуто математичний апарат, що лежить в основі побудови біт-поточкових

обчислювачів елементарних функцій. Метод формування приростів на основі обернених функцій забезпечує виконання вимог до функціональних online-обчислювачів, які забезпечують точність і час процесу обчислення, простоту технічної реалізації та універсальність архітектури з точки зору її використання для виконання інших математичних операцій. Як результат, метод дає змогу застосувати єдиний підхід для проектування біт-потоків online-обчислювачів.

Розглядаючи метод формування приростів висхідних ступінчастих функцій, аргумент яких подано у формі бітового (імпульсного) потоку, зазначено, що безперервна, монотонно висхідна функція, яка має зворотну, може бути відтворена на виході біт-потоків online-обчислювача апроксимуючою функцією:

$$y = [f(x) + |\delta_{\max}|], \quad (1)$$

де x , y – вхідний і вихідний бітові потоки даних відповідно; діапазон граничних значень абсолютної похибки відтворення безперервної функції складає $0, 5 \leq |\delta_{\max}| < 1$.

У формулі (1) квадратні дужки позначають результат обчислення апроксимуючої функції в цілих числах.

Вибіркові значення x_y числової послідовності бітів $x_1, x_2, x_3, \dots, x_i$, що відповідають рівням вузлів апроксимації ступінчастої функції, вибирають із вхідного бітового потоку x і визначають за формулою

$$\Psi(y - |\delta_{\max}|) \leq x_y < \Psi(y - |\delta_{\max}|) + 1, \quad (2)$$

де $y = 1, 2, 3, \dots, k$; $\Psi(y - |\delta_{\max}|)$ – функція, обернена $f(x)$.

За абсолютної похибки обчислень $|\delta_{\max}| = 0,5$ вибіркові значення x_y визначають за формулою

$$\Psi(y - 0,5) \leq x_y < \Psi(y - 0,5) + 1. \quad (3)$$

Розглянутий метод забезпечує безперервний процес відтворення функцій у процесі надходження бітового потоку x на вхід обчислювача та є раціональним із точки зору часу відтворення функцій, що не перевищує тривалості бітового потоку x і точності відтворення функцій для цілочисельних значень аргумента з похибкою обчислень, що не перевищує 0,5 одиниці молодшого біта аргумента. Метод формування приростів було використано для розроблення математичної моделі біт-потоків online-обчислювача дробово-іраціональних функцій.

Дробово-іраціональні функції можуть бути відтворені на підставі двох функціональних пристроїв, що є складовою біт-потоків обчислювача дробово-іраціональних функцій:

– біт-потоків дробово-раціонального обчислювача. Пристрій має обмеження частоти вхідного бітового потоку внаслідок генерації на виході дробово-раціонального обчислювача серій бітових потоків;

– біт-потоків степеневих обчислювача. Перевагою пристрою, що включає в архітектуру степеневий обчислювач, є відсутність генерації на його виході серій бітових потоків, оскільки пристрій працює в режимі вибірки бітів із вхідного потоку, що дає змогу розширити частотний діапазон вхідного сигналу дробово-іраціонального обчислювача.

У зв'язку з названою перевагою в роботі розглянуто біт-потоків обчислювач дробово-іраціональних функцій, побудований на основі біт-потоків степеневих обчислювача.

Дробово-іраціональна апроксимуюча функція, що має бути відтворена на виході функціонального пристрою, має такий вигляд:

$$y = \left[\frac{1}{p} \left[\sqrt{\sum_{i=1}^n x_i^2} + |\delta_{2\max}| \right] + |\delta_{1\max}| \right], \quad (4)$$

де x_i – серії бітових потоків;

n – кількість серій із ненульовою кількістю бітів у серії;

$|\delta_{1\max}|$ – граничне значення абсолютної похибки

поділу $\sqrt{\sum_{i=1}^n x_i^2}$ на число p ;

$|\delta_{2\max}|$ – граничне значення абсолютної похибки

вилучення кореня;

$\frac{1}{p}$ – масштабний коефіцієнт.

Якщо абсолютна похибка обчислень мінімальна $|\delta_{\max}| = 0,5$, то функція набуває вигляду

$$y = \left[\frac{1}{p} \left[\sqrt{\sum_{i=1}^n x_i^2} + 0,5 \right] + 0,5 \right]. \quad (5)$$

Вхідним інформаційним сигналом обчислювача є бітовий потік x (серії бітів), на виході пристрою формується бітовий потік y , що відтворює апроксимуючу дробово-іраціональну функцію.

Аналіз функції (2) показав, що дробово-іраціональну функцію обчислюють у два етапи. При цьому серіями бітових послідовностей вхідного сигналу здійснюють такі обчислювальні операції:

– на першому етапі необхідно здійснити піднесення до степеня і вилучення кореня – функції

$\sqrt{\sum_{i=1}^n x_i^2}$, що може бути реалізовано в біт-потоківому

степеневому обчислювачі;

– далі ділять отриманий результат на константу p , що може бути реалізовано в дільнику чисел, побудованому на основі потокового обчислювача лінійних функцій.

Ураховуючи двоетапне обчислення дробово-іраціональної функції у функціональному пристрої перетворення бітових потоків і те, що її реалізація може бути здійснена в синтезованій архітектурі, що містить біт-потоківі обчислювачі степеневі та лінійної функцій, математична модель пристрою, що відтворює апроксимуючу дробово-іраціональну функцію, подана як декомпозиція математичних моделей названих пристроїв.

Степенева та лінійна функції мають обернені їм функції, тому з розробленням математичних моделей названих пристроїв було використано метод формування приростів на основі обернених функцій і формулу (3). Розглянемо отримані математичні моделі пристроїв, що є складовими архітектури досліджуваного обчислювача.

1. На першому етапі дробово-іраціональним обчислювачем реалізована проміжна апроксимуюча степеневі функція

$$y = \left[\sqrt{\sum_{i=1}^n x_i^2} + 0,5 \right]. \quad (6)$$

Функція (6) викликає інтерес, оскільки з реалізацією обчислювачем цієї функції розв'язують практичну задачу – добування квадратного кореня з суми квадратів чисел, поданих як серії бітових послідовностей.

Для отримання математичної моделі досліджуваного пристрою розглянуто апроксимуючу степеневу функцію, аргументом якої є бітовий потік однієї серії бітів,

$$y = \left[\sqrt{x^2} + 0,5 \right]. \quad (7)$$

Визначивши зворотну функцію для формули (7), отримали нерівність

$$2^2 x_y^2 \geq (2y_k - 1)^2. \quad (8)$$

На підставі нерівності (8) розроблено математичну модель біт-потоківому обчислювача степеневі функції, яка подана як система різницьових нерівностей: $2^2 x_1^2 \geq (2y_1 - 1)^2$,

$$2^2 (x_2^2 - x_1^2) + \Delta_1 \geq (2y_2 - 1)^2 - (2y_1 - 1)^2 \quad (9)$$

$$2^2 (x_y^2 - x_{y-1}^2) + \Delta_{y-1} \geq (2y_1 - 1)^2 - (2y_{1-1} - 1)^2,$$

де Δ_{y-1} – різниця, визначена як результат порівняння приростів поточних значень функцій $2^2 x^2$ і $(2y - 1)^2$, які визначають між двома сусідніми вузлами апроксимації функції на попередньому кроці порівняння. При цьому значення $y_1 \leq y \leq y_k$, $1 \leq y_k \leq k$; $x_0, \Delta_0 = 0$.

У формулі (9) Δ_1 і Δ_{y-1} визначають як

$$\Delta_1 = 2^2 x_1^2 - (2y_1 - 1)^2,$$

$$\Delta_{y-1} = 2^2 (x_y^2 - x_{y-1}^2) + \Delta_{y-2} - (2y_k - 1)^2 + (2y_{k-1} - 1)^2$$

При надходженні на вхід пристрою біта з номером x_y на виході пристрою буде сформований вихідний біт y_k при виконанні кожної з нерівностей (9).

2. На другому етапі обчислень необхідно поділити проміжний результат обчислення степеневі функції на константу p з урахуванням похибки $|\delta_{\max}| = 0,5$, що може бути реалізовано в дільнику чисел на основі біт-потоківому обчислювача лінійних функцій, який відтворює апроксимуючу функцію:

$$y = \left[\frac{1}{p} x + 0,5 \right]. \quad (10)$$

Скориставшись формулою (3), на основі оберненої функції отримано нерівність для визначення вибірових значень x_y :

$$\frac{p(2y-1)}{2} \leq x_y < \frac{p(2y-1)}{2} + 1. \quad (11)$$

На підставі виразу (11) отримано нерівність

$$2x_y \geq p(2y_k - 1). \quad (12)$$

Математичну модель біт-потокowego обчислювача лінійних функцій отримано з використанням нерівності (12), яку подано як систему різницьових нерівностей:

$$2x_1 \geq p,$$

$$2(x_2 - x_1) + \Delta_1 \geq 2p,$$

$$2(x_3 - x_2) + \Delta_2 \geq 2p, \quad (13).$$

.....

$$2(x_y - x_{y-1}) + \Delta_{y-1} \geq 2p,$$

де різниця $\Delta_{y-1} = 2(x_y - x_{y-1}) + \Delta_{y-2} - 2p$.

Проектуючи біт-потоківі online-обчислювачі дробово-іраціональних функцій, запропоновано єдиний підхід для створення їхніх архітектурних моделей, урахувавши принципи організації обчислювального процесу на основі аналізу отриманих математичних моделей пристроїв, що дає змогу синтезувати архітектурні рішення. Виконання обчислювальних процедур єдиним способом дає змогу використовувати в таких моделях вузьку номенклатуру компонентів, щоб будувати архітектури на основі уніфікованих блоків. На рис. 1 наведено узагальнену архітектуру біт-потокowego дробово-іраціонального online-обчислювача.

Обчислення дробово-іраціональної функції здійснюється у два етапи, тому узагальнена архітектурна модель обчислювача містить два модулі:

– перший модуль являє собою узагальнену

архітектуру біт-потокowego online-обчислювача, у якій обчислюють проміжну степеневу функцію $y_{int} := f(x)$. Модуль містить Block1, Block2 і суматор SM_int. На виході SM_int формується бітовий потік, що є результатом обчислення проміжної функції;

– другий модуль являє собою архітектуру дільника чисел, побудовану на основі біт-потокowego обчислювача лінійної функції та реалізує другий етап обчислень – ділення значення проміжної функції на константу. Дільник містить блок Block3 і суматор результату SM_RES. На виході SM_RES формується бітовий потік, що є результатом обчислення дробово-іраціональної функції.

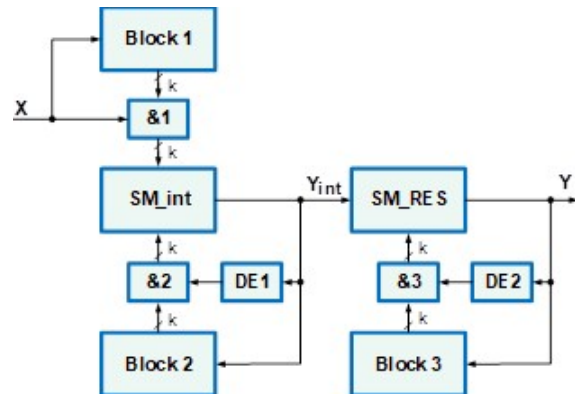


Рис. 1. Узагальнена архітектура дробово-іраціонального online-обчислювача

Block1 і Block2 – конвеєрні архітектури, що містять базову архітектуру біт-потокowego обчислювача поліноміальних функцій, побудованого на суматорах і включеного у прямий і зворотний зв'язок степеневого обчислювача, що є складовою узагальненої архітектури. На вхід пристрою подано серії бітових потоків x_i . На виході SM_int формується результат обчислення проміжної степеневі функції – вихідний бітовий потік y_{int} , що поданий на вхід SM_RES, який є компонентом дільника чисел. На виході SM_RES формується вихідний бітовий потік, що є результатом обчислення дробово-іраціональної функції y . Біти переповнення SM_RES відповідають формуванню сходинок апроксимуючої функції дробово-іраціонального обчислювача. Основними обчислювальними копонентами створеної архітектури є суматори SM_int і SM_RES зі зворотним зв'язком, що використовують як компонент порівняння паралельних кодів. У суматор SM_int з Block1 поступають прямі двійкові коди чисел, а з Block2 – додаткові двійкові коди чисел.

Апаратний потоковий обчислювач поданий як мікропрограмний автомат, що є композицією керуючого і операційного автоматів. Операційний автомат має обчислювальні стани, у яких виконуються мікрооперації - перетворення даних, ініційовані сигналами керування автоматом. При цьому керуючий автомат визначає послідовність керуючих сигналів і виконання мікрооперацій у певній послідовності на основі граф-схеми алгоритму (ГСА), а також множину сповіщувальних сигналів, що виробляє операційний автомат.

Автоматна модель біт-потокowego online-обчислювача дробово-іраціональних функцій розроблена на основі кінцевого автомата моделі Мура, яка найбільш придатна для опису online-обчислювачів. Керуючий автомат пристрою описано графом переходів, який отримано в результаті розмітки ГСА арифметичного блока обчислювача (рис. 2).

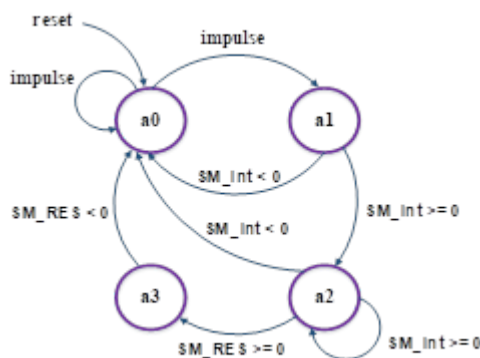


Рис. 2. Граф переходів керуючого автомата обчислювача дробово-іраціональних функцій

Граф забезпечує чіткість і наочність керування обчислювальними станами пристрою та має чотири стани. Стани a0, a1, a2 описують керування арифметичним блоком степеневого обчислювача. Стани a2 і a3 описують керування обчислювальними станами дільника чисел, у якому ділять результат проміжної степеневі функції на константу p.

У стані a1 відбуваються конвеєрні обчислення в компонентах пристрою прямого зв'язку архітектури степеневого обчислювача. Якщо значення регістра суматора $SM_int \geq 0$ додатне, то на виході суматора з'являється вихідний біт проміжної степеневі функції, і автомат переходить у стан a2. Якщо значення регістра суматора $SM_int < 0$ – від'ємне, автомат переходить у стан a0. У стані a2 виконуються конвеєрні обчислення в компонентах зворотного зв'язку архітектури степеневого обчислювача. Також у стані a2 в SM_RES вносять константу і підсумовують із вмістом SM_RES . Автомат

переходить у стан a3, якщо значення регістра суматора $SM_RES \geq 0$. У стані a3 від значення регістра суматора SM_RES віднімають значення регістра RG3, а також на виході суматора SM_RES буде сформовано вихідний біт пристрою, і автомат переходить у стан a0.

На підставі математичної моделі пристрою та його архітектури запропоновано ГСА операційного автомата реалізації дробово-іраціональної функції, що наведено на рис. 3.

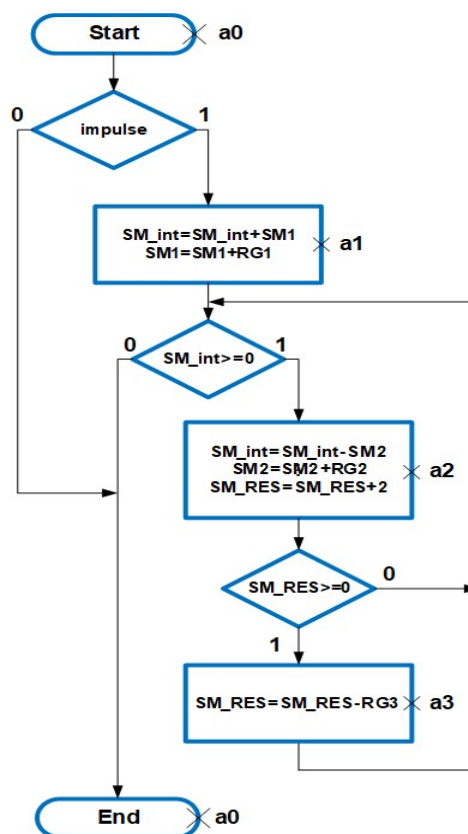


Рис. 3. ГСА операційного автомата реалізації дробово-іраціональної функції

Відповідно до ГСА біт-потокowego обчислювач працює за таким алгоритмом.

Зі скиданням пристрою за сигналом «reset» регістри встановлені у значення ініціалізації його компонентів. ГСА містить умовну вершину «impulse». З надходженням на вхід пристрою чергового «impulse» (біта) в арифметичному блоці обчислювача відбуваються конвеєрні обчислення: значення регістра суматора SM_int збільшується на значення регістра суматора SM1, значення регістра суматора SM1 збільшується на значення регістра RG1.

Якщо значення регістра $SM_int \geq 0$, то на його виході генерований вихідний біт, що є результатом обчислення проміжної степеневі функції $y_{int} := f(x)$, від значення регістра $SM_int \geq 0$ віднімають значення регістра суматора $SM2$, значення регістра суматора $SM2$ збільшують на значення регістра $RG2$. Також до значення регістра суматора SM_RES додають константу 2.

Якщо вміст регістра суматора SM_RES – невід’ємне число, то на його виході буде згенеровано біт y , що є вихідним бітом дробово-іраціонального обчислювача, за допомогою якого з регістра суматора SM_RES віднімають значення регістра $RG3$.

Висновки

Під час дослідження було розроблено моделі проектування апаратного обчислювача дробово-іраціональних функцій із бітовим потоком даних, що виконують обчислення в режимі реального часу. У пристрої реалізовано потоковий спосіб обчислень із паралельно-послідовним виконанням функціональних перетворень над бітами вхідного потоку.

Наукова новизна: запропоновано удосконалену математичну модель online-обчислювача дробово-іраціональних функцій, похибкою обчислень 0,5 одиниці молодшого біта аргумента, що є декомпозицією математичних моделей біт-потоків обчислювачів степеневих і лінійних функцій; математичні моделі отримано на підставі методу формування приростів ступінчастих функцій на основі обернених функцій; запропоновано узагальнену архітектуру біт-потоків обчислювача дробово-іраціональної функцій, за допомогою якої здійснюється двоетапне обчислення досліджуваної функції; запропоновано автоматну модель пристрою, графові моделі якої дали змогу забезпечити чіткість і несуперечність алгоритму реалізації дробово-іраціональних функцій.

Практичне значення отриманих результатів полягає в розробленні автоматної моделі online-обчислювача, яку сформовано на основі кінцевого автомата Мура. Графові моделі обчислювача дають змогу розробити HDL-модель пристрою у формі автоматного шаблону для реалізації алгоритмів відтворюваних дробово-іраціональних функцій інструментальними засобами САПР. Розроблені моделі досліджуваного пристрою забезпечують підвищення точності обчислення функції, розширюють частотний діапазон пристрою та суттєво зменшують витрати часу на процес проектування, що підвищує його ефективність.

Список використаних джерел

1. Najafi M. H., Faraji S. R., Bazargan K., Lilja D. Energy-efficient pulse-based convolution for near-sensor processing. *2020 IEEE International Symposium on Circuits and Systems (ISCAS), Seville*. 2020. P. 1–5.
2. Shkil A. S., Larchenko L. V., Larchenko B. D. Bit-Stream Power Function Online Computer. *East-West Design & Test Symposium (EWDTS), Sep 2020, Varna, Bulgaria*. 2020. P. 1–6. DOI: 10.1109/EWDTS50664.2020.9224764.
3. Safyannikov N., Bureneva O. Bit-stream functional converters for decentralized sensor systems. *9th Mediterranean Conference on Embedded Computing (MECO), Budva, Montenegro*. 2020. P. 1–4. DOI: 10.1109/MECO49872.2020.9134176.
4. Chelebaev S.V., Chelebaeva Y. A. Converters Structures Synthesis of Time-and-Frequency Signals Parameters in the Code of Two Variables on the Radial Basis Network. *5th Mediterranean Conference on Embedded Computing (MECO), Budva, Montenegro*. 2016. P. 339–342. DOI: 10.1109/MECO.2016.7525776.
5. Kumar P. A. FPGA Implementation of the Trigonometric Functions Using the CORDIC Algorithm. *5th International Conference on Advanced Computing & Communication Systems (ICACCS), Mar 2019, Coimbatore, India*. 2019. P. 894–900. DOI: 10.1109/ICACCS.2019.8728315.
6. Sapper A. N., Soares L., Costa E., Bampi S. Exploring the Combination of Number of Bits and Number of Iterations for a Power-Efficient Fixed-Point CORDIC Implementation. *24th IEEE International Conference on Electronics, Circuits and Systems (ICECS), Dec 2017, Batumi, Georgia*. 2017. P. 302–305. DOI: 10.1109/ICECS.2017.8292079.
7. Rodriguez-Garcia A., Pizano-Escalante L., Parra-Michel R., Longoria-Gandara O., Cortez J. Fast Fixed-Point Divider Based on Newton-Raphson Method and Piecewise Polynomial Approximation. *International Conference on Reconfigurable Computing and FPGAs (ReConFig), Dec 2013, Cancun, Mexico*. 2013. P. 1–6. DOI: 10.1109/ReConFig.2013.6732291.
8. Korniienko V., Larchenko L., Parkhomenko A., Larchenko B. Design Models of Bit-Stream Online-Computers of Elementary Mathematical Functions. *12th International Conference on Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications (IDAACS), Sep 2023, Dortmund, Germany*. 2023. P. 585–589. DOI: 10.1109/IDAACS58523.2023.10348885.
9. Апаратний біт-потоків online обчислювач дробово-раціональних функцій / Б. Д. Ларченко, О. С. Шкіль, Л. В. Ларченко та ін.

Радіoeлектроніка та інформатика. 2020. № 3. С. 55-63.

10. Шкіль О. С., Ларченко Б. Д., Ларченко Л. В. Декомпозиція математичної моделі апаратного біт-потокowego обчислювача ірраціональних функцій. *Радіoeлектроніка та інформатика*. 2019. № 4. С. 46-52.
11. Larchenko L. V., Parkhomenko A. V., Larchenko B. D., Korniienko V. R. Design Models of Bit-Stream Online-Computers for Sensor Components. *Radio Electronics, Computer Science, Control*. 2024. Vol. 1(68). P. 48-61. DOI: [10.15588/1607-3274-2024-1-6](https://doi.org/10.15588/1607-3274-2024-1-6).

Ларченко Л., Рожнова Т., Ларченко Б., Пахомов Ю. В. Моделі проєктування online-обчислювача дробово-ірраціональних функцій із бітовим потоком даних. У роботі запропоновано удосконалену математичну модель біт-потокowego online-обчислювача дробово-ірраціональних функцій із мінімізацією похибки обчислень, яку подано як декомпозицію математичних моделей поточкових обчислювачів степеневих і лінійних функцій, що дало змогу розширити функціональні можливості пристрою; узагальнену архітектуру дробово-ірраціонального обчислювача, що містить конвеєрні архітектури для підвищення швидкодії пристрою; автоматну модель пристрою, яку створено на основі кінцевого автомата; розроблено графові моделі, що забезпечують чіткість і несуперечність алгоритму обчислення дробово-ірраціональної функції. Досліджуваний обчислювач є ефективним із точки зору точності обчислення, простоти технічної реалізації та універсальності архітектури.

Ключові слова: функціональне перетворення, бітовий потік даних, біт-потоківі обчислення, математична модель, апроксимація, абсолютна похибка обчислень, автоматна модель, граф переходів, граф-схема алгоритму.

Larchenko L., Rozhnova T., Larchenko B. Pahomov Yu. V. Design models for online-computer of fractional-irrational functions with bit-stream data.

The work proposes design models of a bit-stream online computer of fractional-irrational functions. An improved mathematical model of an online computer with minimization of calculation errors has been developed, which is represented by the decomposition of mathematical models of streaming computers of power and linear functions, which allowed to expand the functional capabilities of the device and increase the frequency range of the input pulse flow. Mathematical models of devices were obtained based on the method of

forming increments of ascending step functions based on inverse functions. The absolute error of reproduction of the studied function is 0.5 units of the least significant bit of the argument.

A generalized architecture of a bit-stream computer of fractional-irrational functions is proposed, which contains a power function computing module and a number divisor module. An automaton model of the device is proposed, graph models are developed, which allow ensuring the clarity and consistency of the algorithm for implementing the fractional-irrational function to increase the clarity and invariance of the implementation in formal programming languages and hardware description.

The practical significance of the results obtained lies in the development of an automaton model of an online computer, which is formed on the basis of a Moore finite state machine. Graph models of the computer allow developing an HDL model of the device in the form of an automata template for implementing algorithms for reproducible fractional-irrational functions by CAD tools. The developed models of the studied device provide an increase in the accuracy of the function calculation, expand the frequency range of the device and significantly reduce the time spent on the design process, which increases its efficiency.

Keywords: functional conversion, bit-stream data, bit-stream computing, mathematical model, approximation, absolute calculation error, automata model, state diagram, algorithm flowchart.

Ларченко Ліна, канд. техн. наук, доцент, доцент кафедри автоматизації проектування обчислювальної техніки, Харківський національний університет радіоелектроніки, пр. Науки, 14, Харків, Україна, 61166. E-mail: lina.larchenko@nure.ua. <https://orcid.org/0000-0002-4326-1601>.

Larchenko Lina, PhD, Associate Professor, Associate Professor of Design Automation Department, Kharkiv National University of Radio Electronics, Nauka Avenue, 14, Kharkiv, Ukraine, 61166. E-mail: lina.larchenko@nure.ua. <https://orcid.org/0000-0002-4326-1601>.

Рожнова Тетяна, канд. техн. наук, доцент кафедри автоматизації проектування обчислювальної техніки, Харківський національний університет радіоелектроніки, пр. Науки, 14, Харків, Україна, 61166. E-mail: tetiana.rozhnova@nure.ua. <https://orcid.org/0000-0002-4484-8674>.

Rozhnova Tetiana, PhD, Associate Professor of Design Automation Department, Kharkiv National University of Radio Electronics, Nauka Avenue, 14, Kharkiv, Ukraine, 61166. E-mail: tetiana.rozhnova@nure.ua. <https://orcid.org/0000-0002-4484-8674>.

Ларченко Богдан, канд. техн. наук, асистент кафедри автоматизації проектування обчислювальної техніки, Харківський національний університет радіоелектроніки, пр. Науки, 14, Харків, Україна, 61166. E-mail: bogdan.larchenko@gmail.com. <https://orcid.org/0000-0002-1298-4567>.

Larchenko Bogdan, PhD, Assistant of Design Automation Department, Kharkiv National University of Radio Electronics, Nauka Avenue, 14, Kharkiv, Ukraine, 61166. E-mail: bogdan.larchenko@gmail.com. <https://orcid.org/0000-0002-1298-4567>.

Пахомов Юрій канд. техн. наук, доцент кафедри комп'ютерних наук та інформаційних технологій, Харківський національний університет міського господарства імені О. М. Бекетова, м. Харків, вул. Маршала Бажанова, 17, Україна, 61002. E-mail: abc050073@gmail.com. <https://orcid.org/0000-0002-2267-8600>.

Pakhomov Yurii associate Professor of the Department of Computer Sciences and Information Technologies, Beketov Kharkiv National University of Urban Economy Kharkiv, str. 17, Marshala Bazhanov, Ukraine, 61002. E-mail: abc050073@gmail.com. <https://orcid.org/0000-0002-2267-8600>